



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0068939  
Application Number PATENT-2002-0068939

출원년월일 : 2002년 11월 07일  
Date of Application NOV 07, 2002

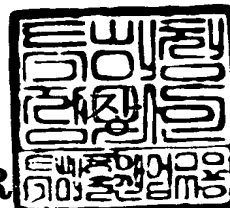
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 20 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.07
【발명의 명칭】	자기정렬된 얇은 트렌치 소자분리를 갖는 불휘발성 메모리 장치의 플로팅 게이트 형성방법
【발명의 영문명칭】	Method of forming floating gate of non-volatile memory device having self-aligned shallow trench isolation
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	유영섭
【성명의 영문표기】	YOU, Young Sub
【주민등록번호】	621010-1161812
【우편번호】	459-110
【주소】	경기도 평택시 지산동 1093번지 한양청솔아파트 5동 301
【국적】	KR
【발명자】	
【성명의 국문표기】	임헌형
【성명의 영문표기】	LIM, Hun Hyeoung
【주민등록번호】	650223-1453015
【우편번호】	449-904
【주소】	경기도 용인시 기흥읍 보라리 450번지 신갈삼성아파트 102-202
【국적】	KR
【발명자】	
【성명의 국문표기】	이상훈
【성명의 영문표기】	LEE, Sang Hoon

【주민등록번호】 710924-1000219  
【우편번호】 110-045  
【주소】 서울특별시 종로구 체부동 134번지  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)  
【수수료】  
    【기본출원료】 20 면 29,000 원  
    【가산출원료】 3 면 3,000 원  
    【우선권주장료】 0 건 0 원  
    【심사청구료】 19 항 717,000 원  
    【합계】 749,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

자기정렬된 얇은 트렌치 소자분리(SA-STI)를 갖는 불휘발성 메모리 장치의 플로팅 게이트 형성방법이 개시되어 있다. SA-STI 구조를 갖는 반도체 기판 상에 터널 산화막을 형성한다. 상기 터널 산화막 상에 530℃ 이상의 제1 온도에서 제1 플로팅 게이트층을 증착한다. 상기 제1 플로팅 게이트층 상에 580℃ 이하의 제2 온도에서 제2 플로팅 게이트층을 인-시튜 증착한다. 제1 플로팅 게이트층을 증착한 후 제2 플로팅 게이트층을 인-시튜 증착함으로써, 제1 플로팅 게이트층의 표면에 자연 산화막이 성장하는 것을 방지한다. 따라서, 게이트 저항을 개선하고 공정 시간을 단축시킬 수 있다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

자기정렬된 얇은 트렌치 소자분리를 갖는 불휘발성 메모리 장치의 플로팅 게이트 형성방법{Method of forming floating gate of non-volatile memory device having self-aligned shallow trench isolation}

**【도면의 간단한 설명】**

도 1은 통상적인 SA-STI 구조를 갖는 플래시 메모리 장치의 제조방법을 설명하기 위한 단면도이다.

도 2는 도 1의 A 부분의 확대도이다.

도 3a 내지 도 3c는 본 발명에 의한 SA-STI 구조를 갖는 플래시 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.

도 4는 본 발명의 제1 실시예에 의한 제1 및 제2 플로팅 게이트층의 증착 레시피를 나타낸다.

**<도면의 주요 부분에 대한 부호의 설명>**

100 : 반도체 기판      102 : 산화막 패턴

104 : 플로팅 게이트 패턴      106 : 질화막 패턴

108 : 필드 산화막      110 : 터널 산화막

112 : 제1 플로팅 게이트층      114 : 제2 플로팅 게이트층

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 장치의 제조방법에 관한 것으로, 보다 상세하게는 자기정렬된 얇은 트렌치 소자분리(self-aligned shallow trench isolation; 이하 "SA-STI"라 한다)를 갖는 불휘발성 메모리 장치의 플로팅 게이트 형성방법에 관한 것이다.
- <11> 반도체 메모리 장치는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성(volatile)이면서 데이터의 입·출력이 빠른 RAM 제품과, 한번 데이터를 입력하면 그 상태를 유지할 수 있지만 데이터의 입·출력이 느린 ROM(read only memory) 제품으로 크게 구분할 수 있다. 이러한 ROM 제품 중에서, 전기적으로 데이터의 입·출력이 가능한 EEPROM(electrically erasable and programmable ROM) 또는 플래시 메모리에 대한 수요가 늘고 있다. 플래시 메모리 장치는 고속으로 전기적 소거가 가능한 EEPROM의 진보된 형태로서, F-N 터널링(Fowler-Nordheim tunneling) 또는 채널 열전자 주입(channel hot electron injection)을 이용하여 전기적으로 데이터의 입·출력을 제어하는 구조이다.
- <12> 고집적 플래시 메모리 장치는 자기 디스크 메모리(magnetic disk memory) 장치를 대체할 수 있는 것으로 기대되는데, 이는 작은 셀 면적과 빠른 액세스 시간(access time), 그리고 적은 전력 소모 등의 여러 가지 장점을 갖고 있기 때문이다. 그러나, 플래시 메모리 장치가 자기 디스크 메모리를 대체하기 위해서는 비트당 원가를 더욱 줄여야 하며, 이를 위해서 공정 횟수를 감소시키고 셀 크기를 더욱 줄이는 것이 요구된다.

이에 따라, 반도체 기판에 액티브 영역을 정의하기 위한 액티브 패턴과 플로팅 게이트의 패턴을 동일하게 형성함으로써 비트라인 간의 이격 거리를 줄여서 메모리 셀의 사이즈를 감소시킬 수 있는 소위, SA-STI 구조를 갖는 플래시 메모리 셀이 제안되었다.

- <13> 도 1은 통상적인 SA-STI 구조를 갖는 플래시 메모리 장치의 제조방법을 설명하기 위한 단면도이다.
- <14> 도 1을 참조하면, 실리콘 기판(10) 상에 산화막, 제1 다결정실리콘층 및 질화막을 차례로 형성한 후, 사진식각 공정으로 상기 질화막, 제1 다결정실리콘층 및 산화막을 패터닝하여 질화막 패턴(16), 제1 플로팅 게이트(14) 및 터널 산화막(12)을 형성한다. 계속해서, 상기 기판(10)의 노출된 부분을 소정 깊이로 식각하여 트렌치(18)를 형성한다. 즉, 하나의 마스크를 이용한 트렌치 형성 공정 동안 액티브 영역과 플로팅 게이트가 동시에 정의된다.
- <15> 이어서, 트렌치 식각 공정 동안에 고에너지의 이온 충격으로 야기된 실리콘 손상(damage)을 큐어링하기 위하여 트렌치(18)의 노출된 부분을 산화 분위기에서 열처리한다. 그러면, 노출된 실리콘과 산화제와의 산화 반응에 의해, 바닥면과 측벽을 포함하는 내면 상에 트렌치 내벽 산화막(20)이 형성된다.
- <16> 상기 산화 공정시 제1 플로팅 게이트(14)의 하부에서 터널 산화막(12)의 측면으로 산화제(oxidant)가 침투하여 터널 산화막(12)의 양단부에 버즈비크(도 2의 "a")가 형성된다. 이러한 버즈비크에 의해, 터널 산화막(12)의 양단부가 팽창하면서 제1 플로팅 게이트(14)의 바닥 에지부분이 외부로 굴곡되어 제1 플로팅

게이트(14)의 측벽 하부 부분이 포지티브 기울기(도 2의 "b")를 갖게 되고, 채널의 폭(W)이 감소하게 된다. 여기서, 측벽이 포지티브 기울기를 갖는다는 것은 에천트에 대하여 측벽이 침식되는 기울기를 갖는다는 것을 의미한다. 즉, 질화막 패턴(16)의 바로 아래는 질화막 패턴(16)의 존재에 의해 산화제의 침투가 억제되어 제1 플로팅 게이트(14)의 측벽 상부가 네거티브 기울기를 갖게 되는 반면, 제1 플로팅 게이트(14) 하부의 바닥 에지부분은 외부로 굴곡되어 포지티브 기울기를 가짐으로써, 메사 구조물의 측벽과 같이 기판의 상부 방향에서 도입되는 에천트에 의해 침식되거나 에천트에 대해 그 하지층의 저지막으로 작용하게 된다.

<17> 이어서, 상기 트렌치(18)를 매립하도록 CVD-산화막을 증착한 후, 상기 질화막 패턴(16)의 상부 표면이 노출될 때까지 CVD-산화막을 화학 기계적 연마(chemical mechanical polishing; CMP) 공정으로 제거함으로써, 트렌치(18)의 내부에 필드 산화막(도시하지 않음)을 형성한다.

<18> 인산 스트립 공정으로 상기 질화막 패턴(16)을 제거한 후, 제1 플로팅 게이트(14) 및 필드 산화막(22)의 상부에 제2 플로팅 게이트를 형성하기 위하여 상기 제1 플로팅 게이트(14)와 동일한 물질을 증착하여 제2 다결정실리콘층을 형성한다. 그런 다음, 사진식각 공정에 의해 필드 산화막(22) 상의 제2 다결정실리콘층을 부분적으로 제거하여 이웃하는 셀들과 분리되는 제2 플로팅 게이트(도시하지 않음)를 형성한다. 상기 제2 플로팅 게이트는 제1 플로팅 게이트(14)와 전기적으로 접촉하며 후속 공정에서 형성될 유전막의 면적을 증가시키는 역할을 한다.



- <19> 상술한 종래 방법에 의하면, 제1 플로팅 게이트(14)의 측벽 하부가 포지티브 기울기를 갖고 있기 때문에 채널의 폭이 감소할 뿐만 아니라, 필드 산화막에 보이드(void)가 발생하게 된다.
- <20> 이에 따라, 제1 플로팅 게이트의 측벽이 포지티브 기울기를 갖는 것을 방지할 수 있는 변형된 SA-STI 공정이 제안되었다. 즉, 제1 플로팅 게이트를 이용하여 SA-STI 구조의 필드 산화막을 형성한 후 그 측벽이 포지티브 기울기를 갖는 상기 제1 플로팅 게이트를 제거한다. 그런 다음, 580℃ 이상의 고온에서 도프트 다결정실리콘으로 이루어진 제1 플로팅 게이트층을 재증착한 후, 세정 공정을 진행한다. 계속해서, 530℃ 정도의 저온에서 도프트 다결정실리콘으로 이루어진 제2 플로팅 게이트층을 증착한다.
- <21> 그러나, 이 방법에 의하면 증착 설비에서 제1 플로팅 게이트층을 증착한 후, 세정 설비에서 웨이퍼(즉, 기판)를 세정하고 다시 증착 설비에서 제2 플로팅 게이트층을 증착한다. 따라서, 기판을 세정 설비에서 증착 설비로 이송하는 과정에서 기판이 대기 중에 노출되기 때문에, 상기 제1 플로팅 게이트층의 상부 표면에 15Å 정도의 자연 산화막이 성장하게 된다. 이와 같이 제1 플로팅 게이트층과 제2 플로팅 게이트층의 사이에 존재하는 자연 산화막은 게이트 저항을 증가시켜 소자의 전기적 특성을 열화시키는 요인으로 작용한다. 또한, 제1 플로팅 게이트층과 제2 플로팅 게이트층을 별도의 단계에서 증착하기 때문에 공정 시간이 길어지는 단점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <22> 따라서, 본 발명은 상술한 문제점을 해결하기 위하여 고안된 것으로서, 본 발명의 목적은 SA-STI를 갖는 불휘발성 메모리 장치의 플로팅 게이트 형성방법을 제공하는데 있다.

## 【발명의 구성 및 작용】

- <23> 상술한 목적을 달성하기 위하여 본 발명은, 자기정렬된 얇은 트렌치 소자분리 구조를 갖는 반도체 기판 상에 터널 산화막을 형성하는 단계; 상기 터널 산화막 상에 530℃ 이상의 제1 온도에서 제1 플로팅 게이트층을 증착하는 단계; 및 상기 제1 플로팅 게이트층 상에 580℃ 이하의 제2 온도에서 제2 플로팅 게이트층을 인-시튜 증착하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법을 제공한다.
- <24> 바람직하게는, 상기 제1 플로팅 게이트층은 도프트 다결정실리콘 또는 언도프트 다결정실리콘 중의 어느 하나로 형성하고, 상기 제2 플로팅 게이트층은 도프트 비정질실리콘 또는 언도프트 비정질실리콘 중의 어느 하나로 형성한다.
- <25> 본 발명의 바람직한 일 실시예에 의한 불휘발성 메모리 장치의 제조방법은, 자기정렬된 얇은 트렌치 소자분리 구조를 갖는 반도체 기판 상에 터널 산화막을 형성하는 단계; 상기 기판을 증착 설비 내에 로딩하는 단계; 530℃ 이상의 제1 온도에서 제1 도핑 가스를 주입하면서 상기 터널 산화막 상에 도프트 다결정실리콘을 증착하여 제1 플로팅 게이트층을 형성하는 단계; 580℃ 이하의 제2 온도에서 제2 도핑 가스를 주입하면서 상기 제1 플로팅 게이트층 상에 도프트 비정질실리콘을 인-시튜 증착하여 제2 플로팅 게이트층을 형성하는 단계; 및 상기 기판을 증착 설비로부터 언로딩하는 단계를 구비하는 것을 특징으로 한다.
- <26> 본 발명의 바람직한 다른 실시예에 의하면, 자기정렬된 얇은 트렌치 소자분리 구조를 갖는 반도체 기판 상에 터널 산화막을 형성하는 단계; 상기 기판을 증착 설비 내에 로딩하는 단계; 530℃ 이상의 제1 온도에서 상기 터널 산화막 상에 언도프트 다결정실리콘을 증착하여 제1 플로팅 게이트층을 형성하는 단계; 580℃ 이하의 제2 온도에서 도핑

가스를 주입하면서 상기 제1 플로팅 게이트층 상에 도프트 비정정실리콘을 인-시튜 증착하여 제2 플로팅 게이트층을 형성하는 단계; 및 상기 기판을 증착 설비로부터 언로딩하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법을 제공한다.

<27> 본 발명의 바람직한 또다른 실시예에 의한 불휘발성 메모리 장치의 제조방법은, 자기정렬된 얇은 트렌치 소자분리 구조를 갖는 반도체 기판 상에 터널 산화막을 형성하는 단계; 상기 기판을 증착 설비 내에 로딩하는 단계; 530℃ 이상의 제1 온도에서 상기 터널 산화막 상에 언도프트 다결정실리콘을 증착하여 제1 플로팅 게이트층을 형성하는 단계; 580℃ 이하의 제2 온도에서 상기 제1 플로팅 게이트층 상에 언도프트 비정정실리콘을 인-시튜 증착하여 제2 플로팅 게이트층을 형성하는 단계; 상기 기판을 증착 설비로부터 언로딩하는 단계; 및 상기 제2 플로팅 게이트층이 형성된 기판 상에 도프트를 이온주입하여 상기 제2 및 제1 플로팅 게이트층을 도핑시키는 단계를 구비하는 것을 특징으로 한다.

<28> 본 발명에 의하면, SA-STI 구조를 갖는 불휘발성 메모리 장치에 있어서 제1 플로팅 게이트층과 제2 플로팅 게이트층을 인-시튜 증착함으로써 제1 플로팅 게이트층의 표면에 자연 산화막이 성장하는 것을 방지한다. 따라서, 게이트 저항을 개선하고 공정 시간을 단축시킬 수 있다.

<29> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<30> 도 3a 내지 도 3c는 본 발명에 의한 SA-STI 구조를 갖는 플래시 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.

- <31> 도 3a를 참조하면, 액티브 영역을 정의하기 위한 액티브 패턴과 플로팅 게이트의 패턴을 동일하게 형성하는 SA-STI 방법에 의해 반도체 기판(100) 상에 필드 산화막(108)을 형성한다. 여기서, 참조부호 102는 산화막 패턴, 104는 플로팅 게이트 패턴, 106은 질화막 패턴을 각각 나타낸다.
- <32> 도 3b를 참조하면, 상기 플로팅 게이트 패턴(104)을 건식 식각 공정으로 제거한 후, 그 하부의 패드 산화막(102)을 습식 식각 공정으로 제거한다. 그러면, SA-STI 공정을 진행하는 과정에서 그 측벽이 포지티브 프로파일을 갖는 플로팅 게이트 패턴(104)이 제거됨으로써, 채널 폭이 감소하고 필드 산화막에 보이드가 생성되는 것을 방지할 수 있다.
- <33> 그런 다음, 상기 필드 산화막(106) 및 기판(100) 상에 셀 트랜지스터의 게이트 산화막, 즉 터널 산화막(108)을 형성한 후, 그 위에 제1 플로팅 게이트층(110)을 형성한다. 상기 제1 플로팅 게이트층(110)은 530℃ 이상의 제1 온도, 바람직하게는 530℃~650℃의 제1 온도에서 도프트 다결정실리콘 또는 언도프트 다결정실리콘 중의 어느 하나로 형성한다. 상기 제1 플로팅 게이트층(110)을 비정질실리콘으로 형성할 경우, 후속 열처리에 의해 비정질상에서 결정상으로 상전이되면서 박막의 부피가 축소하여 제1 플로팅 게이트층(110)과 그 하부의 터널 산화막(108) 간의 계면에 매우 큰 응력이 발생하여 터널 산화막(108)의 신뢰성을 열화시키게 된다. 또한, 다결정실리콘으로 이루어진 제1 플로팅 게이트층(110)을 POCl<sub>3</sub> 확산이나 이온주입에 의해 N형 불순물로 도핑시킬 경우, 다결정실리콘막의 결정입자 경계(grain boundary)를 따라 도판트들이 이동되어 터널 산화막(108)으로 침투함으로써 터널 산화막(108)을 열화시킬 수 있다. 따라서, 본 발명에서는 터널 산화막(108)의 열화를 방지하기 위하여 530℃ 이상의 제1 온도에서 다결정

실리콘막을 인-시튜 도핑하면서 증착하거나 언도프트 다결정실리콘막을 증착함으로써 제1 플로팅 게이트층(110)을 형성한다.

<34> 도 3c를 참조하면, 상기 제1 플로팅 게이트층(110) 상에 인-시튜로 제2 플로팅 게이트층(112)을 증착한다. 상기 제2 플로팅 게이트층(112)은 580℃ 이하의 제2 온도, 바람직하게는 550℃ 이하의 제2 온도에서 도프트 비정질실리콘 또는 언도프트 비정질실리콘 중의 어느 하나로 형성한다. 상기 제2 플로팅 게이트층(112)은 후속 공정에서 형성될 유전막의 면적을 증가시키기 위해 형성하는 것으로, 가능한 한 두껍게 형성하는 것이 바람직하다. 비정질실리콘으로 이루어진 상기 제2 플로팅 게이트층(112)은 후속 공정들을 진행하는 동안 받게 되는 열다발에 의해 결정상으로 상변이된다.

<35> 이어서, 도시하지는 않았으나, 사진식각 공정으로 상기 필드 산화막(108) 위의 제1 및 제2 플로팅 게이트층(110, 112)을 식각함으로써 이웃하는 메모리 셀의 플로팅 게이트를 서로 분리시킨다.

<36> 그런 다음, 상기 결과물 상에 ONO와 같은 유전막 및 컨트롤 게이트를 차례로 증착한 후, 사진식각 공정으로 상기 컨트롤 게이트, 유전막, 제2 플로팅 게이트층(112) 및 제1 플로팅 게이트층(110)을 건식 식각함으로써 메모리 셀 트랜지스터의 스택형 게이트를 완성한다.

<37> 도 4는 본 발명의 제1 실시예에 의한 제1 및 제2 플로팅 게이트층의 증착 레시피를 나타낸다.

<38> 도 3b 및 도 4를 참조하면, SA-STI 구조를 갖는 반도체 기판(100) 상에 터널 산화막(110)을 형성한 후, 상기 기판(100)을 증착 설비의 공정 챔버에 로딩시킨다. 상기 증

착 설비는 배치식 또는 매엽식 중의 어느 하나를 사용한다. 이어서, 400℃ 정도의 온도로 유지되어 있는 공정 챔버의 내부를 펌핑 공정을 통해 진공 상태로 유지시킨다(단계 a).

<39> 계속해서, 상기 공정 챔버의 온도를 530℃ 이상의 제1 온도, 바람직하게는 580℃ 정도의 고온으로 승온시킨 후(단계 b), 상기 공정 챔버 내에 증착 소오스 가스, 예컨대 약 500cc의 실란( $\text{SiH}_4$ ) 가스와 제1 도핑 가스, 예컨대 약 200cc의 포스핀( $\text{PH}_3$ ) 가스를 주입하면서 상기 터널 산화막(110) 상에 도프트 다결정실리콘을 증착하여 제1 플로팅 게이트층(112)을 형성한다(단계 c).

<40> 도 3c 및 도 4를 참조하면, 진공 상태를 유지하면서 상기 공정 챔버의 온도를 580℃ 이하의 제2 온도, 바람직하게는 520℃ 정도의 저온으로 감온시킨다(단계 d). 계속해서, 상기 공정 챔버 내에 증착 소오스 가스, 예컨대 약 500cc의 실란( $\text{SiH}_4$ ) 가스와 제2 도핑 가스, 예컨대 약 120cc의 포스핀( $\text{PH}_3$ ) 가스를 주입하면서 상기 제1 플로팅 게이트층(112) 상에 도프트 비정질실리콘을 인-시튜 증착하여 제2 플로팅 게이트층(114)을 형성한다(단계 e).

<41> 상기 제2 플로팅 게이트층(114)의 증착이 완료되면, 질소( $\text{N}_2$ ) 또는 아르곤( $\text{Ar}$ ) 가스와 같은 불활성 퍼지 가스를 상기 공정 챔버 내로 공급하여 기판(100)의 표면에 흡착되어 있던 잔류 가스를 제거한다(단계 f). 그런 다음, 상기 공정 챔버의 온도를 약 400℃로 감온시키고(단계 g) 상기 기판(100)을 공정 챔버로부터 언로딩한다(단계 g).

<42> 본 실시예에서는 상기 제1 및 제2 플로팅 게이트층(112, 114)을 하나의 공정 챔버에서 챔버 인-시튜로 증착하였으나, 상기 제1 및 제2 플로팅 게이트층(112, 114)은 설비 인-시튜로 증착할 수도 있다. 즉, 상기 제1 플로팅 게이트층(112)은 증착 설비의 제1

공정 챔버에서 증착하고, 진공을 유지하면서 제1 플로팅 게이트층(112)이 증착되어 있는 기판(100)을 상기 증착 설비의 제2 공정 챔버로 이송한 후 상기 제1 플로팅 게이트층(112) 상에 제2 플로팅 게이트층(114)을 증착한다. 이때, 제1 공정 챔버에서 제2 공정 챔버로 이동되는 동안 고진공을 유지하여야 한다.

<43> 본 발명의 바람직한 제2 실시예에 의하면, 증착 설비의 공정 챔버로 기판을 로딩한 후, 530℃ 이상의 제1 온도에서 기판 상의 터널 산화막 상에 언도프트 다결정실리콘을 증착하여 제1 플로팅 게이트층을 형성한다. 그런 다음, 상기 공정 챔버의 온도를 580℃ 이하의 제2 온도로 감온시킨 후,  $\text{PH}_3$  가스와 같은 도핑 가스를 주입하면서 상기 제1 플로팅 게이트층 상에 도프트 비정정실리콘을 인-시튜 증착하여 제2 플로팅 게이트층을 형성한다.

<44> 본 발명의 바람직한 제3 실시예에 의하면, 증착 설비의 공정 챔버로 기판을 로딩한 후, 530℃ 이상의 제1 온도에서 기판 상의 터널 산화막 상에 언도프트 다결정실리콘을 증착하여 제1 플로팅 게이트층을 형성한다. 그런 다음, 상기 공정 챔버의 온도를 580℃ 이하의 제2 온도로 감온시킨 후, 상기 제1 플로팅 게이트층 상에 언도프트 비정정실리콘을 인-시튜 증착하여 제2 플로팅 게이트층을 형성한다. 상기 제2 플로팅 게이트층이 형성된 기판을 증착 설비로부터 언로딩한 후, 상기 기판 상에 인(P) 또는 보론(B)과 같은 도판트를 이온주입하여 상기 제2 및 제1 플로팅 게이트층을 도핑시킨다. 이어서, 300℃ 이상의 온도에서 열처리를 실시하여 상기 도판트를 활성화시킨다.

#### 【발명의 효과】

<45> 상술한 바와 같이 본 발명에 의하면, SA-STI 구조를 갖는 불휘발성 메모리 장치에 있어서 제1 플로팅 게이트층과 제2 플로팅 게이트층을 인-시튜 증착함으로써 제1 플로팅

게이트층의 표면에 자연 산화막이 성장하는 것을 방지한다. 따라서, 게이트 저항을 개선하고 공정 시간을 단축시킬 수 있다.

<46> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.



**【특허청구범위】****【청구항 1】**

자기정렬된 얇은 트렌치 소자분리 구조를 갖는 반도체 기판 상에 터널 산화막을 형성하는 단계;

상기 터널 산화막 상에 530℃ 이상의 제1 온도에서 제1 플로팅 게이트층을 증착하는 단계; 및

상기 제1 플로팅 게이트층 상에 580℃ 이하의 제2 온도에서 제2 플로팅 게이트층을 인-시튜 증착하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 2】**

제1항에 있어서, 상기 제1 플로팅 게이트층은 도프트 다결정실리콘 또는 언도프트 다결정실리콘 중의 어느 하나로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 3】**

제1항에 있어서, 상기 제2 플로팅 게이트층은 도프트 비정질실리콘 또는 언도프트 비정질실리콘 중의 어느 하나로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 4】**

제1항에 있어서, 상기 제1 온도는 530℃~650℃의 범위 내에 있는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 5】**

제1항에 있어서, 상기 제2 온도는 550℃ 이하인 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 6】**

자기정렬된 얇은 트렌치 소자분리 구조를 갖는 반도체 기판 상에 터널 산화막을 형성하는 단계;

상기 기판을 증착 설비 내에 로딩하는 단계;

530℃ 이상의 제1 온도에서 제1 도핑 가스를 주입하면서 상기 터널 산화막 상에 도프트 다결정실리콘을 증착하여 제1 플로팅 게이트층을 형성하는 단계;

580℃ 이하의 제2 온도에서 제2 도핑 가스를 주입하면서 상기 제1 플로팅 게이트층 상에 도프트 비정질실리콘을 인-시투 증착하여 제2 플로팅 게이트층을 형성하는 단계; 및

상기 기판을 증착 설비로부터 언로딩하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 7】**

제6항에 있어서, 상기 제1 및 제2 가스는  $\text{PH}_3$  가스인 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 8】**

제6항에 있어서, 상기 제1 및 제2 플로팅 게이트층은 하나의 공정 챔버에서 증착하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 9】**

제6항에 있어서, 상기 제1 플로팅 게이트층은 상기 증착 설비의 제1 공정 챔버에서 증착하고, 상기 제2 플로팅 게이트층은 상기 증착 설비의 제2 공정 챔버에서 증착하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 10】**

자기정렬된 얇은 트렌치 소자분리 구조를 갖는 반도체 기판 상에 터널 산화막을 형성하는 단계;

상기 기판을 증착 설비 내에 로딩하는 단계;

530℃ 이상의 제1 온도에서 상기 터널 산화막 상에 언도프트 다결정실리콘을 증착하여 제1 플로팅 게이트층을 형성하는 단계;

580 ℃ 이하의 제2 온도에서 도핑 가스를 주입하면서 상기 제1 플로팅 게이트층 상에 도프트 비정정실리콘을 인-시튜 증착하여 제2 플로팅 게이트층을 형성하는 단계; 및

상기 기판을 증착 설비로부터 언로딩하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 11】**

제10항에 있어서, 상기 도핑 가스는  $\text{PH}_3$  가스인 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 12】**

제10항에 있어서, 상기 제1 및 제2 플로팅 게이트층은 하나의 공정 챔버에서 증착하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 13】**

제10항에 있어서, 상기 제1 플로팅 게이트층은 상기 증착 설비의 제1 공정 챔버에서 증착하고, 상기 제2 플로팅 게이트층은 상기 증착 설비의 제2 공정 챔버에서 증착하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 14】**

자기정렬된 얇은 트렌치 소자분리 구조를 갖는 반도체 기판 상에 터널 산화막을 형성하는 단계;

상기 기판을 증착 설비 내에 로딩하는 단계;

530℃ 이상의 제1 온도에서 상기 터널 산화막 상에 언도프트 다결정실리콘을 증착하여 제1 플로팅 게이트층을 형성하는 단계;

580℃ 이하의 제2 온도에서 상기 제1 플로팅 게이트층 상에 언도프트 비정정실리콘을 인-시튜 증착하여 제2 플로팅 게이트층을 형성하는 단계;

상기 기판을 증착 설비로부터 언로딩하는 단계; 및

상기 제2 플로팅 게이트층이 형성된 기판 상에 도판트를 이온주입하여 상기 제2 및 제1 플로팅 게이트층을 도핑시키는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 15】**

제14항에 있어서, 상기 도판트는 인(P) 또는 보론(B) 중의 어느 하나인 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 16】**

제14항에 있어서, 상기 제1 및 제2 플로팅 게이트층은 하나의 공정 챔버에서 증착하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 17】**

제14항에 있어서, 상기 제1 플로팅 게이트층은 상기 증착 설비의 제1 공정 챔버에서 증착하고, 상기 제2 플로팅 게이트층은 상기 증착 설비의 제2 공정 챔버에서 증착하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 18】**

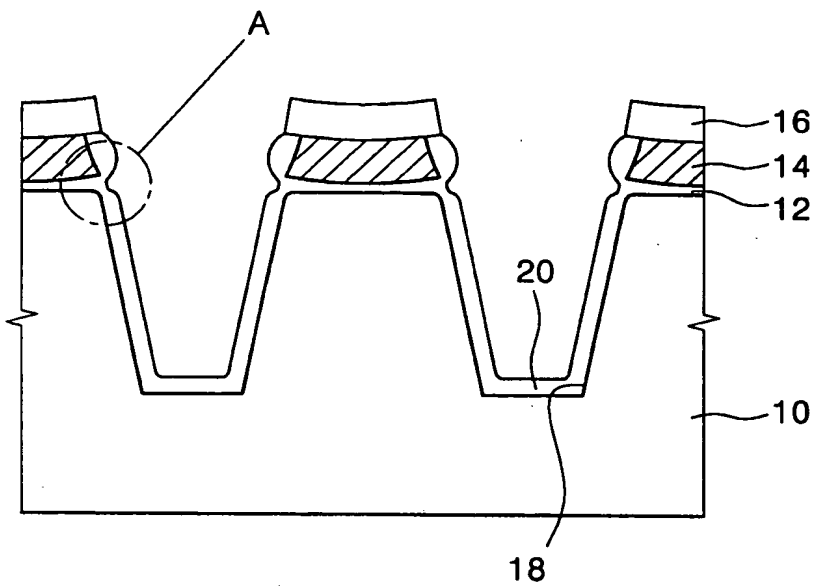
제14항에 있어서, 상기 제2 및 제1 플로팅 게이트층을 도핑시키는 단계 후, 열처리를 실시하여 상기 도판트를 활성화시키는 단계를 더 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 19】**

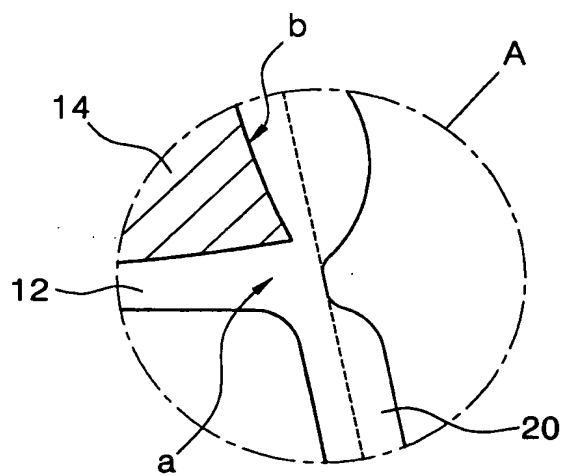
제18항에 있어서, 상기 열처리는 300℃ 이상의 온도에서 실시하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

【도면】

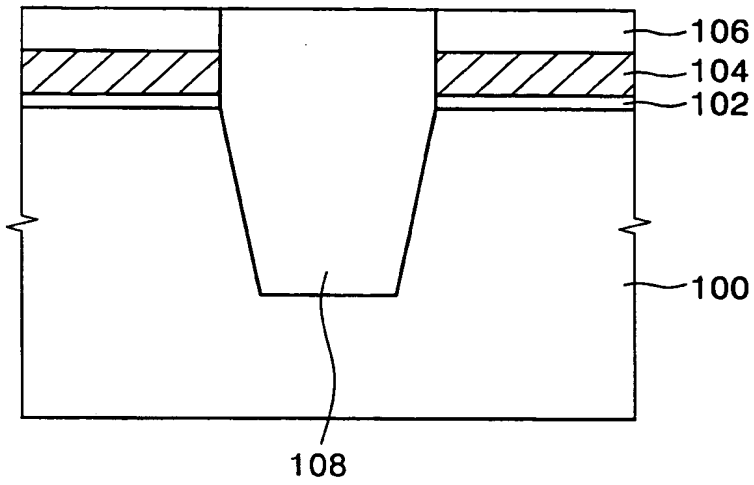
【도 1】



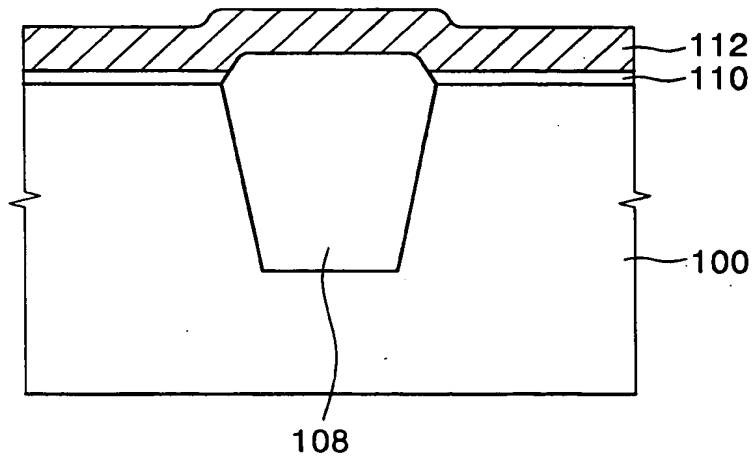
【도 2】



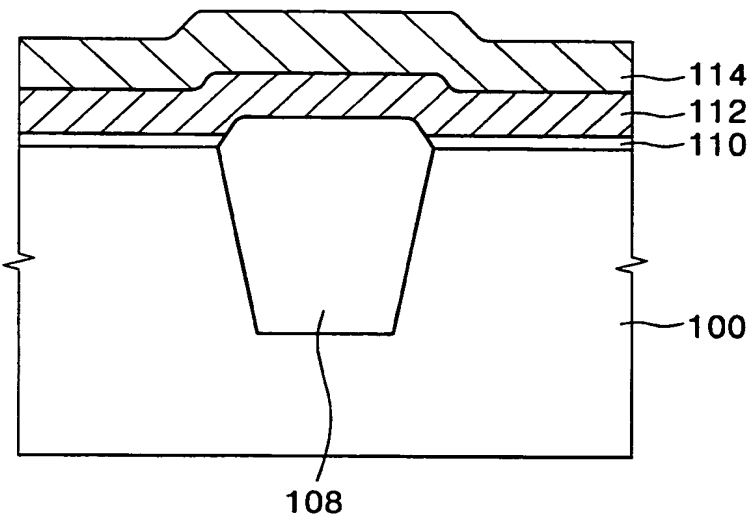
【도 3a】



【도 3b】



【도 3c】



【도 4】

